

ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価

小金丸 正明*, 池田 徹**, 宮崎 則幸**

Evaluation of Residual Stress in Semiconductor Chips during Resin-Molding Process Using Piezoresistive Test Chips and a Finite Element Analysis Method

Masaaki KOGANEMARU*, Toru IKEDA** and Noriyuki MIYAZAKI**

*福岡県工業技術センター機械電子研究所 (〒807-0831 福岡県北九州市八幡西区則松3-6-1) / 京都大学大学院工学研究科機械工学専攻 (〒606-8501 京都府京都市左京区吉田本町)

**京都大学大学院工学研究科機械工学専攻 (〒606-8501 京都府京都市左京区吉田本町)

*Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, Fukuoka 807-0831) / Department of Mechanical Engineering, Graduate School of Engineering, Kyoto University (Yoshida-honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

**Department of Mechanical Engineering, Graduate School of Engineering, Kyoto University (Yoshida-honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

Abstract

The high residual stress generated on the surface of a semiconductor chip during the assembly of a resin-molded electronic package affects the electrical characteristics of the circuit, and it sometimes causes the malfunction of the circuit. Therefore, it is necessary to evaluate the residual stress in semiconductor chips in order to ensure the reliability of the electronic package. The purpose of this study is to propose a simple method of evaluating residual stress in resin-molded semiconductor chips. In this study, the residual stress in a resin-molded semiconductor chip was measured using test chips with piezoresistive gauges. Then, linear thermoelastic finite element analysis based on the stress-free temperature was performed. This stress-free temperature was determined from the temperature dependence of the residual stress experimentally measured using the test chips. The residual stress measured using the test chips corresponds well with the results of the finite element analysis. Therefore, the present evaluation method using the combination of experimental and numerical methods is considered to be reliable and reasonable.

Key Words: Piezoresistive Gauge, Finite Element Method (FEM), Resin-Molded Semiconductor Chip, Residual Stress, Stress-Free Temperature

1. 緒言

電子パッケージはセラミックスや金属、樹脂など、特性の大きく異なる材料により形成されて機能を発現させているが、反面、特性の異なる材料を接合することは、パッケージの機械的信頼性を損ない、製品の設計や信頼性評価を複雑にする原因ともなる。とりわけ、構成材料間の大きな線膨張係数差に起因する実装時の残留応力が引き起こす接合界面の不良は、電子実装において機械的信頼性を確保する上で大きな問題の1つとなっている。さらに、半導体チップ表面に生じた残留応力により、チップに形成された回路の電気特性が変動することが報告されており^{1)~4)}、最近では製品が誤動作を起こす原因として実装メーカーにおいてしばしば問題となっている。これは、高密度SIP(System in Package)や部品内蔵基板などの次世代実装技術⁵⁾が実用化される上でも大きな問題になると予測され、今後はパッケージの設計や開発の段階において、パッケージ内部の半導体チップ表面に生じる残留応力を評価し、パッケー

ジ構造および構成材料の最適化、さらには回路設計の最適化を図る必要性が生じてくるものと考えられる。

実装工程で半導体チップに生じる残留応力の測定方法として、ピエゾ抵抗効果を利用した応力測定用テストチップが開発され、応用例も報告されている^{6),7)}。また、汎用テストチップも市販されており、半導体チップ表面に生じる残留応力を比較的精度良く実測することができる。しかし汎用のテストチップでは、チップ形状や抵抗の配置、個数に制限があるため、実装メーカーが個々に実施する多種多様のパッケージの評価において十分な設計・製造指標を提供できるわけではない。この点を補う方法としては、有限要素法による解析評価が有用であると考えられる。有限要素法による電子パッケージの残留応力や反りの評価は、パッケージに使用される樹脂が粘弾性特性を有することから、この粘弾性挙動をモデル化した解析も実施されている^{8),9)}が、この樹脂粘弾性を考慮した解析には、樹脂の粘弾性材料特性を取得する実験に多大な労力を要し、また、樹脂のガラス転移点(Tg)付近の挙動が複雑でそのモデル化に高度

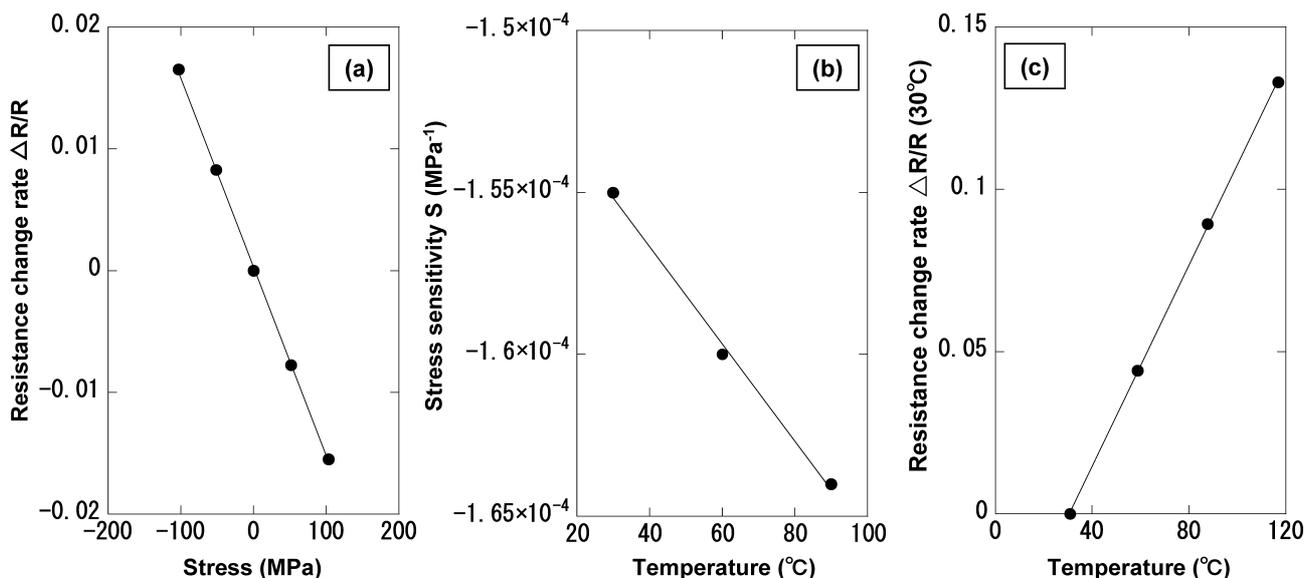


Fig. 1 Mechanical and thermal characteristics of piezoresistance gauges.¹¹⁾
 (a) Stress sensitivity, (b) Temperature dependence of stress sensitivity, (c) Temperature dependence of resistivity

な技術を要するため、多種多様な電子パッケージを扱う実際の設計・製造現場では、評価にかかるコストの面からより簡便な評価手法が望まれている。

そこで本研究では、ピエゾ抵抗効果を利用した残留応力測定用テストチップによる計測と、低コストな線形の有限要素法熱応力解析を組み合わせた方法により、樹脂封止過程における半導体チップ表面上に生じる残留応力を、樹脂の粘弾性材料特性や硬化収縮過程を考慮する解析に比較して簡便で、かつ、半導体チップ上の残留応力によるデバイス特性の変動を評価するうえで十分な精度を有する評価方法を示すことを目的とした。また、本評価方法の妥当性を検証するために、QFP (Quad Flat Package) を例として、その樹脂封止過程で半導体チップ表面上に生じる残留応力を評価した。本論文では、その評価方法および結果について述べる。

2. ピエゾ抵抗テストチップを用いた残留応力測定

2.1 ピエゾ抵抗テストチップ

本研究では、市販（日立超 LSI システムズ製）の残留応力測定用テストチップ（以下テストチップと呼ぶ）を用いた。式(1)は、最も簡略化された応力と応力に起因する抵抗変化率の関係を示しており、抵抗値の変化率が応力に比例することが知られている¹⁰⁾。

$$(R - R_0) / R_0 = S \times \sigma \quad (1)$$

したがって、実装工程前の抵抗値 R_0 および実装工程後の抵抗値 R を測定することで、実装工程によってチップ表面に生じる残留応力を算出することができる。式中で、 σ は応力、 S は応力感度を表す。今回使用したテストチップのピエゾ抵抗効果に関するデータはテストチップ購入時に与えられており¹¹⁾、これにより応力に対する抵抗変化率（応力

Table 1. Calibration parameters of a piezoresistance gauge

S: Stress sensitivity	$-1.55 \times 10^{-4} / \text{MPa}$
α : Thermal dependence coefficient of stress sensitivity	$-1.50 \times 10^{-7} / ^\circ\text{C}$
β : Thermal dependence coefficient of piezoresistance	$1.55 \times 10^{-3} / ^\circ\text{C}$

0 を基準にして無次元化) をプロットした結果を Fig. 1(a) に示す。この応力感度 S の測定温度は 30°C である。本研究では、この Fig. 1(a) に示す値を最小 2 乗法により近似した直線の傾きから応力感度 S の値を得た。また、温度変化に対する抵抗の応力感度および抵抗値変化を Fig. 1(b) および (c) にそれぞれ示す。Fig. 1(c) の縦軸は、 30°C の抵抗値を基準にして無次元化してある。 S の場合と同様に、Fig. 1(b) および (c) に示す値を最小 2 乗法により直線近似した傾きより、応力感度の温度依存性を表すパラメータ α 、および抵抗値の温度依存性を表すパラメータ β を定めた。 S 、 α および β の値を Table 1 にまとめて示す。本研究では、 α および β で表されるピエゾ抵抗特性の温度依存性を考慮するため、式(2)を用いて応力値 σ を算出した。ここで、 T_0 および T はそれぞれ R_0 および R 測定時の温度である。

$$(R_{(T)} - R_{0(T_0)}) / R_{0(T_0)} = \beta(T - T_0) + (1 - \alpha(T - T_0))(S \times \sigma_{(T)}) \quad (2)$$

本研究で用いたテストチップには Si チップ表面上にピエゾ抵抗ゲージが複数形成されている。また、今回の測定ではチップの大きさ $3\text{mm} \times 3\text{mm}$ (Chip I) および $6\text{mm} \times 6\text{mm}$ (Chip II) のテストチップを使用した。厚さはいずれも 0.3mm である。Fig. 2(a) にテストチップ上のピエゾ抵抗ゲージの配置を示す。各テストチップとも、エッジに沿った方向が長手方向になるように 4 つのピエゾ抵抗ゲージ (Gauge #1~4)

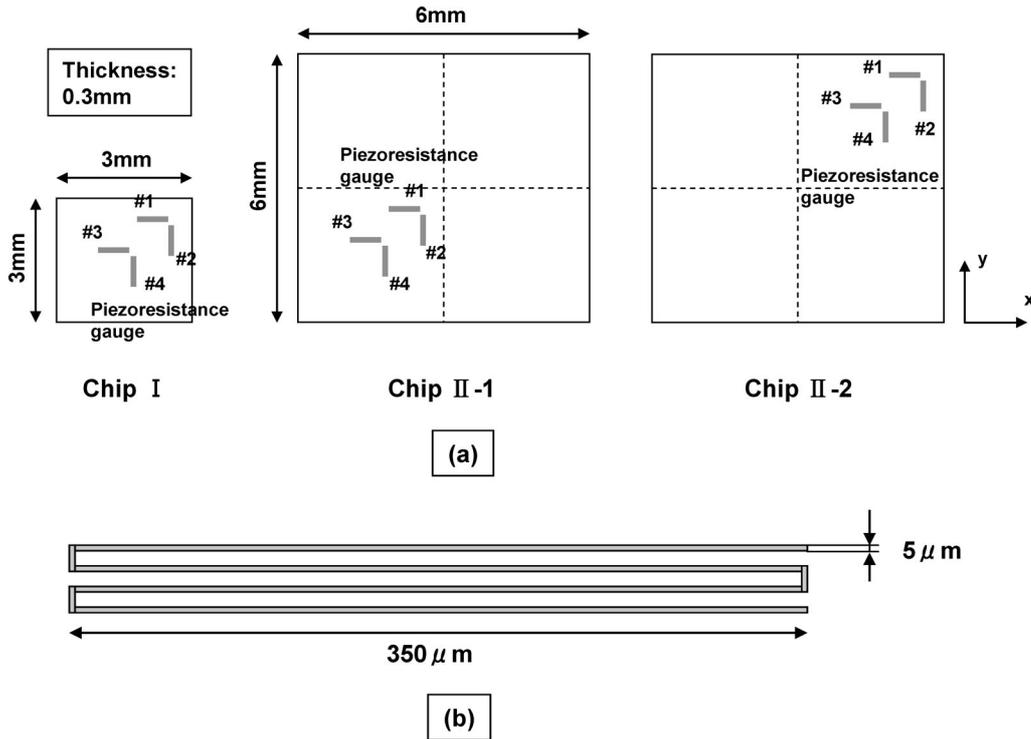


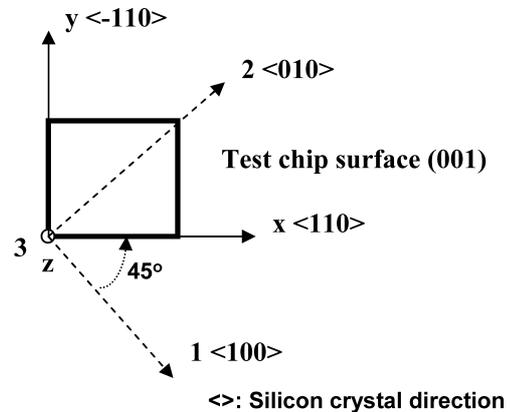
Fig. 2 Test chips for residual stress measurement.
 (a) Configuration of gauges on a test chip, (b) Shape of a piezoresistance gauge

が形成されている。Chip IIについては、ピエゾ抵抗ゲージの配置により Chip II-1 および Chip II-2 の2種類を用いた。ピエゾ抵抗ゲージのパターンおよび寸法を Fig. 2(b) に示す。ピエゾ抵抗ゲージは、結晶座標系で Si の (001) 面に形成されており、その長手方向は $\langle 110 \rangle$ および $\langle -110 \rangle$ 結晶軸方向である。本論文では FEM モデルや応力測定結果を表す便宜上、Fig. 3 に示すように $\langle 110 \rangle$ 方向を x 軸に、 $\langle -110 \rangle$ 方向を y 軸にとった座標系を用いる。

本テストチップを実際に実装して実装工程前後のゲージ抵抗値の変化を計測することにより、実装工程によって生じるゲージ位置におけるゲージの長手方向（本論文では x 方向および y 方向）の垂直応力を測定することができる。なお、今回使用したテストチップでは、ゲージの長手方向以外の応力成分（長手方向に垂直な成分やせん断成分）に関する感度は小さく長手方向に比較して約 $1/100 \sim 1/10$ であるが¹⁾、本テストチップではこれらの成分を分離できないため、測定値に $1/100 \sim 1/10$ 程度の誤差を原理的に含んでいる。

2.2 残留応力測定の実験手順

Fig. 4 にテストチップを用いた実装時の残留応力測定実験の手順を示す。テストチップがベアチップの状態の抵抗値を R_0 、ダイボンディング後の抵抗値を R_1 、ワイヤボンディングおよび樹脂封止後の抵抗値を R_2 とする。 R_0 から R_1 への抵抗値変化よりダイボンディングにより生じた残留応力が、 R_0 から R_2 への抵抗値変化より最終的にパッケージ



Crystal axis coordinate system: 1,2,3
 Analysis axis coordinate system: x,y,z

Fig. 3 Coordinate system of test chip

ングプロセスによって生じた残留応力が、それぞれ式(2)を用いて算出できる。

本研究ではまず R_0 を測定し、その後ダイボンディングして R_1 を測定した。この R_0 および R_1 の測定は、テストチップに直接プロービングして行い、その際の温度はテストチップ近傍に配置した熱電対により測定した。 R_1 測定後、ワイヤボンディングおよび樹脂封止を行ってテストチップが実装された QFP 試験片を作製し、 R_2 の測定を行った。 R_2 測定時の温度は、QFP 試験片に耐熱絶縁テープで接着した熱電対により計測した。 R_0 および R_1 の測定は遮光用のシー

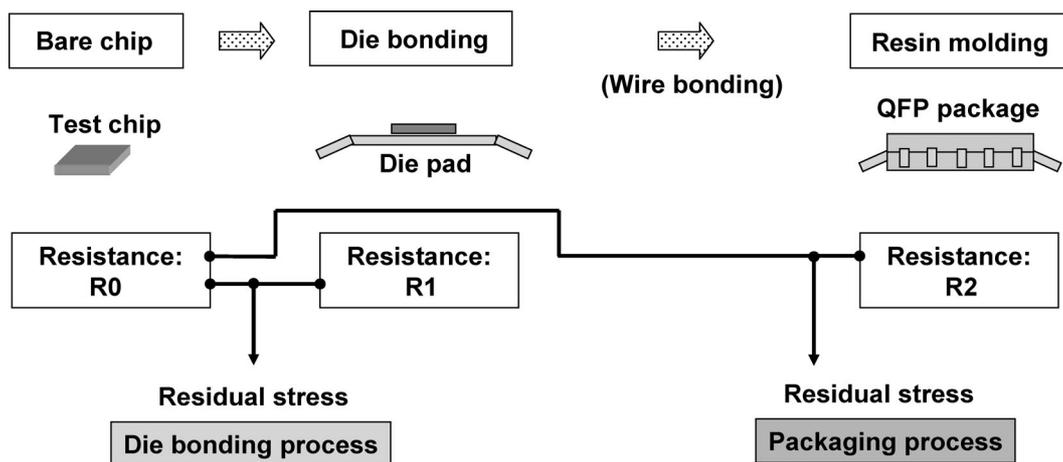


Fig. 4 Procedure of residual stress measurement

ルドボックス内で行い、 R_2 の測定は加熱用オープンの中で実施した。いずれの場合も温度雰囲気が一定になるように、試験片を設置した後十分に時間を置いてから測定を行った。

なお、本研究で用いたQFP試験片の成形条件は、ダイボンディング後のダイボンドペースト材のキュアが180°Cで2時間（昇温時間含む）、樹脂封止の際の金型温度は175°Cで、ポストキュアが180°Cで5時間である。

3. 有限要素法解析

電子パッケージの樹脂封止工程で生じる残留応力を線形解析で評価する場合、解析の基準となる応力0の温度を樹脂のモールド温度やポストキュア温度に設定した解析が行われる^{12)~14)}ことが多いが、樹脂のガラス転移点(Tg)付近以上の温度では粘弾性や塑性あるいはクリープによる残留応力の緩和が生じていることが考えられ、これらの温度を基準とした解析では室温での残留応力を過大に評価してしまう危険性がある。そこで本研究では、4.3節で述べるテストチップにより実測された応力フリー温度¹⁵⁾を解析の基準温度とする線形解析を行った。

Fig. 5(a)にQFPの有限要素法解析モデルおよび解析の境界条件を示す。回路が形成される半導体チップ表面上の残留応力分布が評価できるように、3次元の解析モデルを作成した。モデルの作成には、3次元CADであるIDEAS™を用い、パッケージ形状の対称性から4分の1モデルを作成して対称の境界条件を施した。ここでは、Siチップ、封止樹脂、ダイパッドおよびSiチップとダイパッドの接着層である導電性ペーストのみをモデル化した。これは解析規模や時間を極力少なくすることが目的である。Siチップ表面上の残留応力はSiチップおよび封止樹脂の線膨張係数差によりその大部分が生じると考えられることから、このSiチップ表面上の残留応力発生にあまり寄与しないと考えられるリードフレーム形状の詳細やボンディングワイヤはモデルから省略した。有限要素分割図をChip Iの場合を例にとりFig. 5(b)に示す。SiチップおよびSiチップとダイパッ

ドの接着層は6面体2次要素を用い、それ以外は4面体2次要素で要素分割を行った。Fig. 5(b)に示すChip Iのモデルの場合、総要素数17572、総節点数31731である。

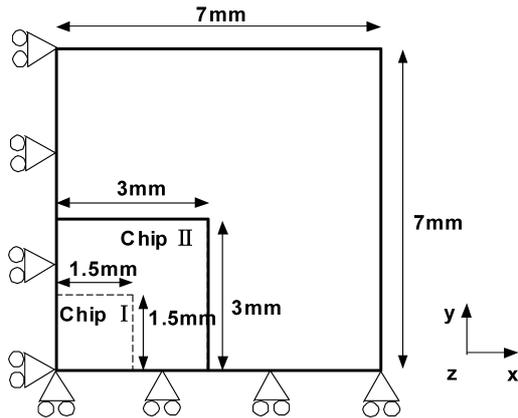
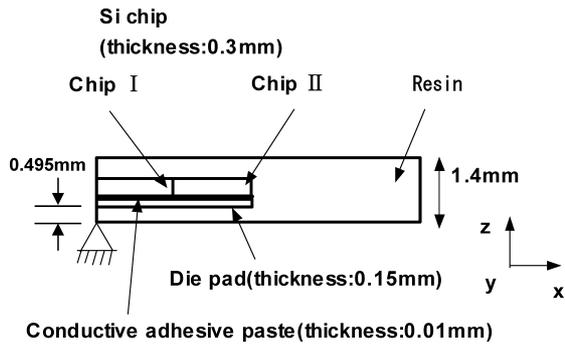
入力データとして解析に用いた構成材料の材料定数値は次節で示す。解析では、4.2節で述べる応力フリー温度の測定結果を解析の基準温度とし、モデル全体をゲージ抵抗値 R_2 の測定温度である25°Cに降下させた。解析ソルバーには、商用有限要素法コードのANSYS™を用いた。

4. 半導体チップ表面の残留応力評価

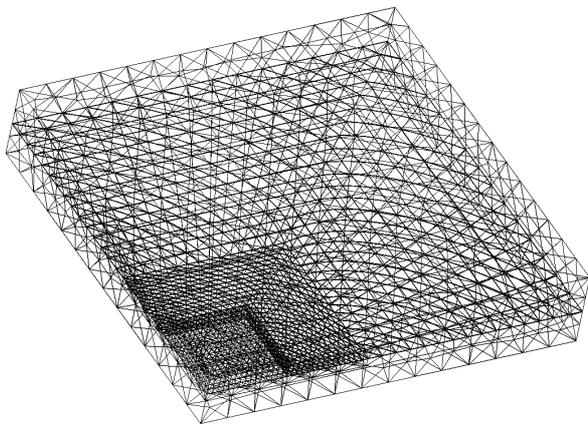
4.1 パッケージ構成材料の材料定数

Table 2に解析の入力データとして用いたパッケージ構成材料の材料定数をまとめて示す。これらの材料定数のうち、封止樹脂の線膨張係数は後述するTMA実験により計測し、Siの弾性定数はその異方性を考慮するためTable 3に示す剛性行列を用いた。Siは立方晶であるため、剛性行列テンソルの独立した成分はTable 3に示す3成分となる¹⁶⁾。実際の解析では、2.1節、Fig. 3で示したとおり結晶座標系と解析座標系が異なるため、Table 3で示す剛性行列テンソルを3(z)軸まわりに45°回転（テンソル変換）して得られる値を用いている。その他の材料定数はカタログ値を用いた。また、線形熱弾性解析では、解析結果は温度変化過程の線膨張係数と評価温度でのヤング率とポアソン比によって決定される。したがって、ヤング率やポアソン比の温度依存性は考慮していない。一方、封止樹脂の線膨張係数の値とその温度依存性は、残留応力の解析結果に最も大きな影響を及ぼすと考えられる。さらにその値は製造ロットによって差が見られることを考慮し、TMA (Thermo-mechanical analyzer)を用いて実際に使用した樹脂で線膨張係数の値を測定した。

本研究においては、線膨張係数の異なる2種類（Resin AおよびResin B）の樹脂を封止用材料として用いた。TMA測定の結果をResin AおよびResin BについてFig. 6(a), (b)に示す。温度に対して試験片伸びの変化率をプロットした



(a)



(b)

Fig. 5 Analysis model of QFP.
(a) Boundary conditions, (b) Finite element model (Chip I)

Fig. 6(a), (b)において、室温から変曲点温度までの直線の傾きから線膨張係数の値を算出した。Resin Aでは120°C付近に変曲点が存在することが明らかである。一方、Resin Bでは明瞭な変曲点が現れず、120~150°Cの間で徐々に傾きが変化している。これは、封止樹脂を構成する樹脂が、ガラス転移点の異なる複数の材料の混合物であるためと考えられる。Resin A, Resin Bともに、直線性の良い室温から120°Cまでを最小2乗近似し、その傾きからResin Aでは線膨張係数の値として $12.2 \times 10^{-6}/^{\circ}\text{C}$ を、Resin Bでは

Table 2. Material properties used in a finite element analysis

	Young's Modulus (GPa)	Poisson's Ratio	Coefficient of thermal Expansion ($\times 10^{-6}/^{\circ}\text{C}$)
Si chip	(Table 3)	(Table 3)	2.6
Resin A	24	0.25	12.2
Resin B	15.6	0.24	30.1
Conductive Adhesive paste	5.39	0.4	30
Die pad	147	0.3	7

Table 3. Components of stiffness matrix of silicon¹⁶⁾

Crystal axis coordinate system: 1,2,3

c11	165.7	$\left\{ \begin{array}{cccccc} c11 & c12 & c12 & 0 & 0 & 0 \\ c12 & c11 & c12 & 0 & 0 & 0 \\ c12 & c12 & c11 & 0 & 0 & 0 \\ 0 & 0 & 0 & c44 & 0 & 0 \\ 0 & 0 & 0 & 0 & c44 & 0 \\ 0 & 0 & 0 & 0 & 0 & c44 \end{array} \right\}$
c12	63.9	
c44	79.6	
Unit: GPa		

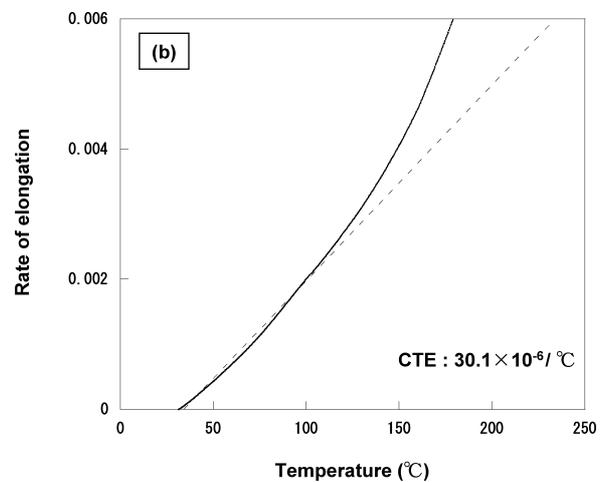
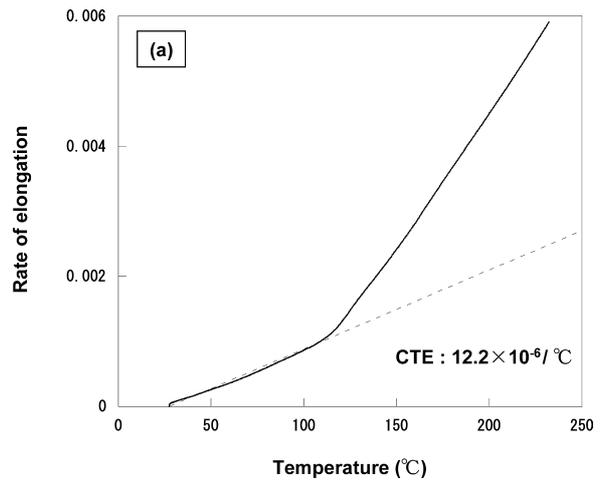


Fig. 6 Experimental results of coefficient of thermal expansion of molding resin by TMA. (a) Resin A, (b) Resin B

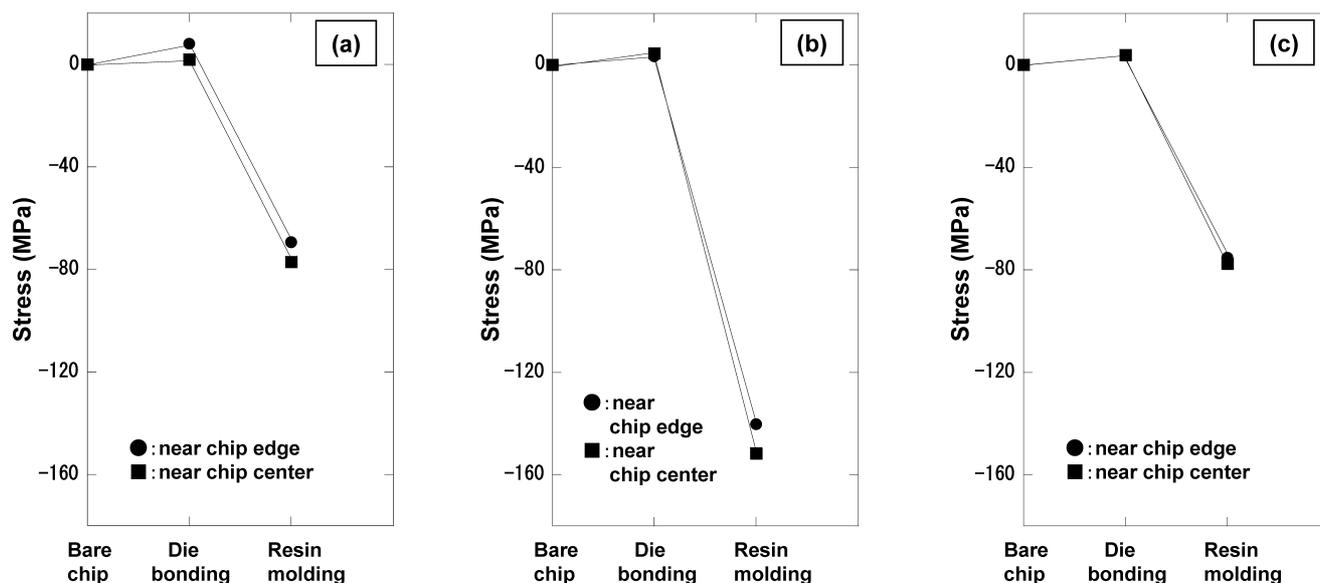


Fig. 7 Experimental results of residual stress after die bonding and resin molding.
(a) Chip I-Resin A, (b) Chip I-Resin B, (c) Chip II-Resin A

$30.1 \times 10^{-6}/^{\circ}\text{C}$ を得た。4.3節で示す応力フリー温度はいずれも 120°C 以下であるため、この温度以上の線膨張係数の値や粘弾性特性モデルを解析では考慮しない。

4.2 テストチップによる残留応力測定結果

2.2節に示した手順により残留応力を測定した結果を、Fig. 7(a), (b)および(c)にまとめて示す。Fig. 7(a), (b)および(c)は、それぞれChip I-Resin A, Chip I-Resin BおよびChip II-Resin Aについてベアチップ状態での初期応力を0と仮定し、ダイボンディング後（ポストキュア後）の残留応力と樹脂封止後（ポストキュア後）の残留応力測定結果を示している。ここで、Chip I-Resin Aは前述のChip IのテストチップをResin Aの樹脂で封止して作製した試験片である。Chip I-Resin B, Chip II-Resin Aも同様にチップタイプと樹脂タイプの組み合わせを示す。

Chip Iでは、Fig. 2(a)におけるGauge #1と#2の平均をチップ端付近の値として、Gauge #3と#4の平均をチップ中心付近の値としてそれぞれ示している。Chip IIについては、Chip II-1のGauge #1と#2の平均をチップ中心付近の値として、Chip II-2のGauge #1と#2の平均をチップ端付近の値としてそれぞれ示している。

今回実装したQFPでは、Resin Aを使用したもので約80 MPa、Resin Bを使用したもので約160 MPaの圧縮残留応力がチップ表面上に生じることがわかった。また、ダイボンディングにより発生する残留応力はいずれも数MPa程度であり、樹脂封止後に生じる残留応力に比較して非常に小さいことがわかった。

4.3 残留応力の温度依存性と応力フリー温度

本研究で今回試験片として用いたQFPでは、前節で示したようにダイボンディングにより発生する残留応力が小さいことから、ダイボンディング後の樹脂のモールド工程で

発生する残留応力を有限要素法解析で評価し、テストチップによる計測結果と比較した。

まず応力フリー温度を決定するために、QFP実装後の試験片を用いて残留応力の温度依存性を計測した。この時、式(2)で応力を算出する際に、ゲージ抵抗値の温度依存性を表すパラメータ β として、ダイボンディングされた状態で測定された β 値を用いれば、算出される応力値は樹脂のモールド工程で発生する残留応力値となる。そこで、QFPの封止樹脂を発煙硝酸により除去した試験片を用いて、ゲージ抵抗値の温度依存性を計測した。結果をFig. 8に示す。縦軸は室温での抵抗値を基準として無次元化した抵抗変化率である。測定値を最小2乗法により直線近似した傾きより、ゲージ抵抗値の温度依存性を表すパラメータとして $1.65 \times 10^{-3}/^{\circ}\text{C}$ を得た。これを β_m とする。以下に示す残留応力の温度依存性における応力値および次節に示す解析結果との比較に用いた応力値はこの β_m を用いて算出しており、樹脂のモールド工程で発生する残留応力を表している。また、以上のようにして計測した残留応力の温度依存性より決定される応力フリー温度を用いた解析では、計測結果と同様に樹脂のモールド工程で発生する残留応力を評価していることになる。

残留応力の温度依存性の測定は、Chip I-Resin A, Chip I-Resin BおよびChip II-1-Resin Aの試験片についてそれぞれ実施した。試験片の温度を加熱用オープンの中で均一、一定に保ち、各温度での抵抗値を測定した。温度測定については2.2節で述べた通りである。Chip I-Resin AおよびChip I-Resin Bの試験片についてはGauge #4で、Chip II-1-Resin AではGauge #2を用いて各温度での抵抗値を測定した。これにより得られた応力値を温度に対してプロットした結果をChip I-Resin A, Chip I-Resin BおよびChip II-1-Resin Aに

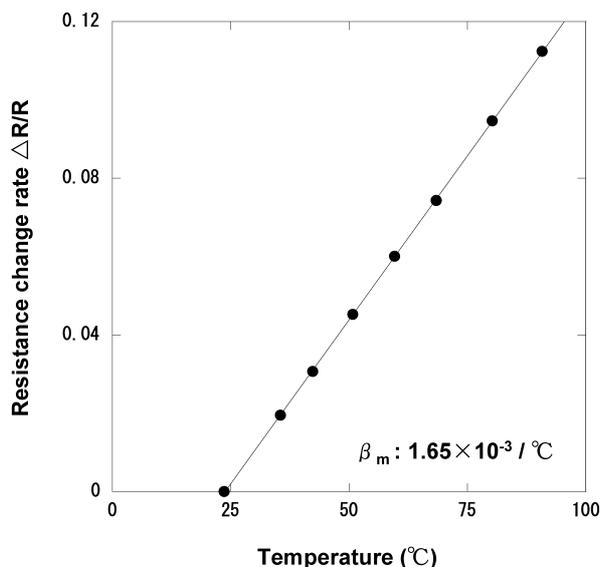


Fig. 8 Temperature dependence of resistance of a gauge

ついて Fig. 9(a), (b) および (c) にそれぞれ示す。応力フリー温度は、得られた測定点を最小2乗法により直線で外挿して、応力値が0となる温度と定めた。その結果、Chip I-Resin A では116°C, Chip I-Resin B では117°C, また Chip II-1-Resin A では113°Cをそれぞれ応力フリー温度として決定し、3章で述べた有限要素法線形熱応力解析の解析基準温度とした。

得られた応力フリー温度は、線膨張係数が2.5倍程度異なる2つの封止樹脂タイプ (Resin A および Resin B) 間での差異は見られず、Fig. 6(a) および (b) の結果から得られる封止樹脂の Tg (120°C程度) と比較すると少し低い温度になることがわかった。Fig. 9(a), (b) および (c) の結果は、応力フリー温度以下で残留応力が直線的に変化しており、この温度領域では、封止樹脂、さらにチップ表面の残留応力に影響を及ぼすその他の構成材料がほぼ線形弾性体として取り扱えることを示している。このことは、本研究で用いた応力フリー温度を基準とした線形解析モデルが妥当であることを示唆している。以上のことから、応力フリー温度よりかなり高温である封止樹脂のモールド温度(175°C)やポストキュア温度(180°C)を線形解析の基準である応力0温度とした場合、室温での残留応力を過大に評価してしまうことがわかる。

4.4 有限要素法解析結果

Chip I-Resin A, Chip I-Resin B および Chip II-Resin A について、テストチップを用いて計測した実験結果と、有限要素法解析の結果の比較をそれぞれ Fig. 10(a), (b) および (c) に示す。解析結果の数値および応力コンター図は、実験結果との比較のために垂直応力 σ_x を示している。いずれの図も回路が形成されるチップ表面上の4分の1の領域を表しており、図中の矩形枠がゲージの位置およびチップに対す

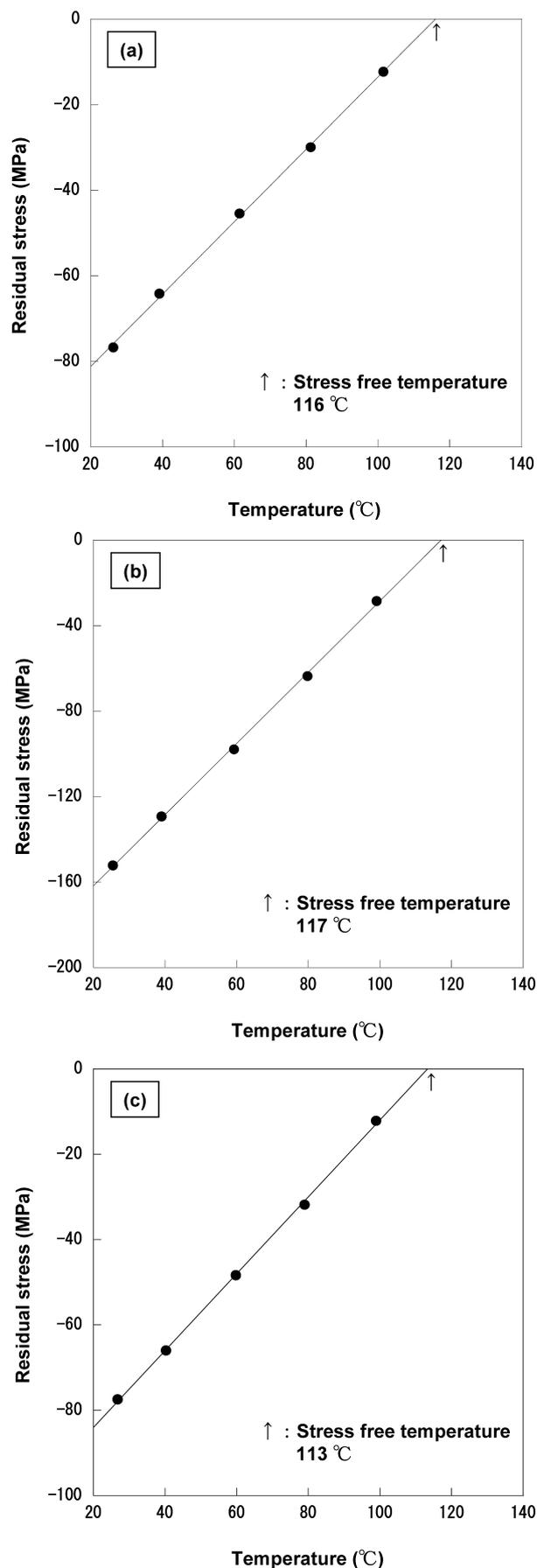


Fig. 9 Temperature dependence of residual stress. (a) Chip I-Resin A, (b) Chip I-Resin B, (c) Chip II-Resin A

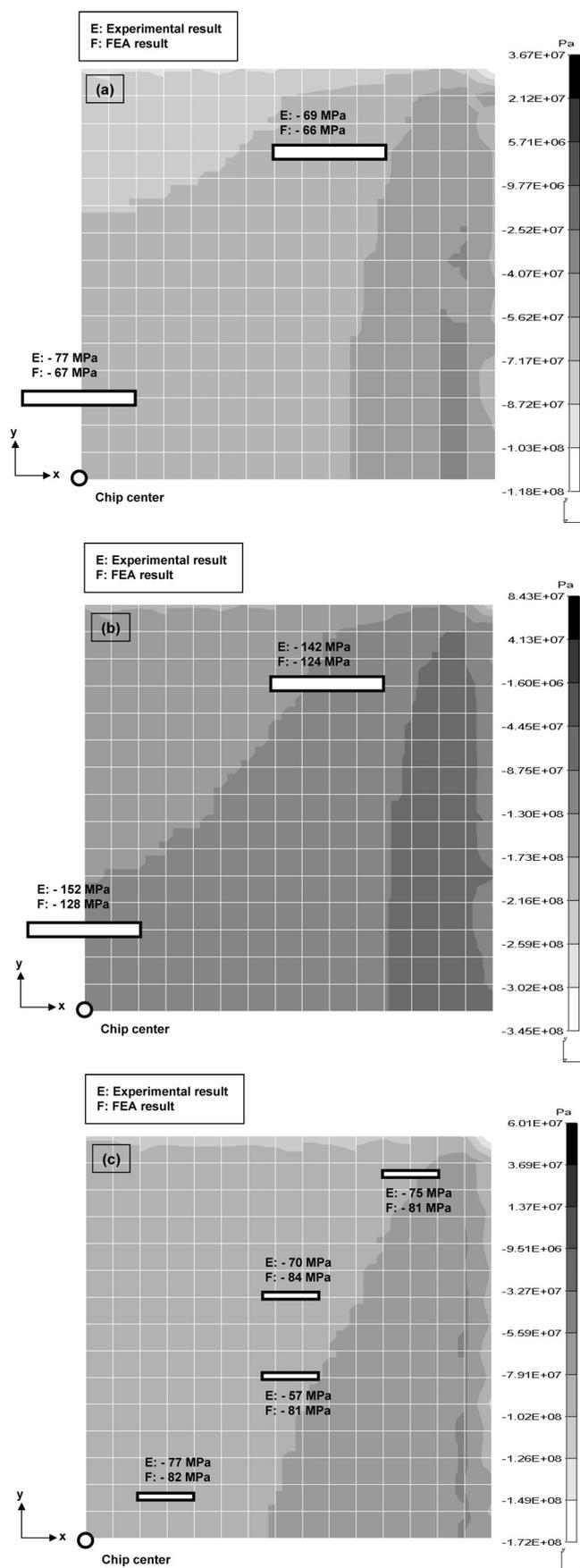


Fig. 10 Experimental and finite element analytical results of residual stress σ_x in a Si chip.
(a) Chip I-Resin A, (b) Chip I-Resin B, (c) Chip II-Resin A

る相対的な長手方向の大きさを表している。実験結果として示している値は、それぞれのチップの Gauge #1と#2, または Gauge #3と#4の平均の応力値を用いた。また、Chip II-Resin Aについては、Chip II-1とChip II-2の実験結果を同時に示している。実験値との比較に用いた解析値は、各ゲージの中心に位置する節点での値を使用した。

実験結果と解析結果を比較すると、Chip Iを用いた試験片では実験結果の方が解析結果より大きく、Chip IIではその逆になる傾向が見られた。本研究で用いた解析モデルでは、リードフレーム形状の詳細(足の部分)を省略している。このリードフレーム材は、線膨張係数が封止樹脂のそれと比較して小さく、樹脂封止に伴うチップ表面の圧縮の残留応力を軽減する役割を果たすことが考えられる²⁾。本研究で用いたQFP試験片は、リードフレームの形状は同じであるが、チップ形状がChip I (3mm×3mm)とChip II (6mm×6mm)で異なり、チップ形状が大きなChip IIの方が解析モデルでは省略したリードフレーム形状の詳細部分に近い。このため、この省略した形状がChip II表面の残留応力に及ぼす影響はChip Iの場合に比較してより大きいと考えられる。Fig. 10(a)と(c)の比較において、Chip IIの(c)の結果の方が解析値とテストチップにより計測した実験値の差が大きいのは、この省略したリードフレーム形状の影響をより大きく受けたためと推測される。

Fig. 10(a), (b)および(c)の結果から、実験結果と解析結果は実用上十分と思われる誤差約20%の範囲で一致している。本研究の手法で得られる残留応力の予測結果は、樹脂封止時の残留応力に起因したデバイス特性変動の評価を念頭に置いており、厳密な応力値の評価が必要なチップ角部等の応力特異場からの機械的不良の発生評価等に用いるものではない。文献^{1)~3)}によれば、100MPaの残留応力によりMOSトランジスタの特性(ドレイン電流や相互コンダクタンス)が数%~十数%変動する可能性があることが示されているが、この変動量に対して数%の精度(誤差)での予測が要求されているわけではなく、本手法の精度で有用な設計・製造時の指針が得られるものとする。

プラスチックパッケージ内の半導体チップ表面に生じる残留応力は、パッケージ構成材料やパッケージの構造で大きく異なることが報告されており、封止樹脂による圧縮応力やパッケージ構造に起因した曲げ応力等が残留応力発生の影響因子となる^{12),17),18)}。したがって、本報で示した応力フリー温度もパッケージの構成材料や構造ごとに実験で計測する必要があるが、樹脂の粘弾性を考慮した高度で手間のかかる解析を実施する必要はない。線形解析では応力0の基準温度を設定しなければならないが、樹脂の粘弾性特性に関係なく基準温度を樹脂の封止温度等として線形解析を行った場合、樹脂の種類によっては室温での残留応力を過大に評価してしまう可能性がある。またその際、実施した線形解析近似が実際の残留応力の挙動からどの程度逸脱

しているかの判断も難しい。本手法では、残留応力の温度依存性の実測結果から応力0の基準温度（応力フリー温度）を決定するため、樹脂の粘弾性特性の違いが考慮され、また同時に、線形解析による近似が妥当なものであるかどうか判断できる。

以上の結果から、本研究で示した手法は、半導体チップ表面上の残留応力を評価する必要がある実装メーカや回路設計メーカが実施する簡易評価として有用な方法であると考えられる。

5. 結 言

樹脂封止工程において半導体チップ表面上に生じる残留応力を、ピエゾ抵抗効果を利用した残留応力測定用テストチップと、有限要素法線形熱応力解析を用いて評価する方法およびその評価結果を示した。実測された残留応力の温度依存性から定義される応力フリー温度を用いることで、封止樹脂を線形弾性体と仮定したシンプルな解析モデルでも、テストチップによって実測される結果を10~20MPa（相対誤差約20%以内）で評価することができた。本研究で示した方法は、樹脂の粘弾性材料特性や硬化収縮過程を取り扱わない簡便なモデルを用いるため、実際の設計・製造現場で有用な手法と考えられ、残留応力に起因したデバイス特性変動を評価する際に必要な半導体チップ表面上の応力分布を評価できる。

謝 辞

本研究を実施するにあたり、試験片作製にご協力頂いた佐賀エレクトロニクス 土井友博氏、新日本無線 荒木千明氏、吉田誠一郎氏に感謝致します。

本研究の一部は、福岡地域の文部科学省知的クラスター創成事業および電子回路基板技術振興財団の支援による。

(2005.3.24受理)

文 献

- 1) A. Hamada, T. Furusawa, N. Sato and E. Takeda: "A New Aspect of Mechanical Stress Effects in Scaled MOS Devices", IEEE Transactions on Electron Devices, Vol. **38**, No. 4, pp. 895-900, 1991
- 2) 三浦英生, 西村朝雄: "パッケージング応力起因の半導体素子特性変動", 日本機械学会論文集, A編, Vol. **61-589**, pp. 1957-1964, 1995
- 3) H. Ali: "Stress-Induced Parametric Shift in Plastic Packaged Devices", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. **20**, Part B, No. 4, pp. 458-462, 1997
- 4) N. Watanabe and T. Asano: "Influence of Direct Au-Bump Formation on Metal Oxide Semiconductor Field Effect Transistor", Japan Journal of Applied Physics, Vol. **41**, Part 1, No. 4B, pp. 2714-2719, 2002
- 5) 電子情報技術協会, 電子システム実装技術専門委員会, 日本実装技術ロードマップ研究会編: "2003年度版実装技術ロードマップ", 2003
- 6) 三浦英生, 西村朝雄, 河合末男, 西 邦彦: "ICプラスチックパッケージ内応力測定素子の開発とその応用", 日本機械学会論文集, A編, Vol. **53-493**, pp. 1826-1832, 1987
- 7) J. C. Suhling and R. C. Jaeger: "Silicon Piezoresistive Stress Sensors and Their Application in Electronic Packaging", IEEE Sensors Journal, Vol. **1**, No. 1, pp. 14-30, 2001
- 8) 佐々木康二, 齊藤直人, 天城滋夫, 原口芳広: "樹脂モールド時残留応力の数値解析(第1報, 硬化後冷却時に発生する応力と変形の粘弾性解析)", 日本機械学会論文集, A編, Vol. **64-622**, pp. 1660-1666, 1998
- 9) 三宅 清: "BGAパッケージの硬化収縮を考慮した反り粘弾性解析", エレクトロニクス実装学会誌, Vol. **7**, No. 1, pp. 54-61, 2004
- 10) C. S. Smith: "Piezoresistance Effect in Germanium and Silicon", Physical Review, Vol. **94**, No. 1, pp. 42-49, 1954
- 11) 日立超LSIシステムズ: "技術資料", 2004
- 12) 三浦英生, 西村朝雄, 河合末男, 西 邦彦: "ICプラスチックパッケージ内シリコンチップ残留応力の検討", 日本機械学会論文集, A編, Vol. **55-516**, pp. 1763-1770, 1989
- 13) A. Mertol: "Stress Analysis and Thermal Characterization of a High Pin Count PQFP", Journal of Electronic Packaging, Vol. **114**, pp. 211-220, 1992
- 14) D. Y. R. Chong, C. K. Wang, K. C. Fong and P. Lall: "Finite Element Parametric Analysis on Fine-Pitch GBA (FBGA) Packages", Proceedings of IPACK03, 2003
- 15) W.-K. Kim, 池田 徹, 宮崎則幸: "異方性導電樹脂接合部の接合信頼性評価", エレクトロニクス実装学会誌, Vol. **6**, No. 2, pp. 153-160, 2003
- 16) J. J. Wortman and R. A. Evans: "Young's Modulus, Shear Modulus, and Poisson's Ratio in Silicon and Germanium", Journal of Applied Physics, Vol. **36**, No. 1, pp. 153-156, 1965
- 17) 三浦英生, 西村朝雄, 河合末男, 村上 元: "ICパッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響", 日本機械学会論文集, A編, Vol. **56-522**, pp. 365-371, 1990
- 18) 三浦英生, 西村朝雄, 河合末男, 西 邦彦: "ICプラスチックパッケージ内シリコンチップ熱応力の検討", 日本機械学会論文集, A編, Vol. **57-539**, pp. 1575-1580, 1991