

20 μm ピッチ微細 Cu バンプ接合による 3次元チップ積層

谷田 一真^{*,**}, 梅本 光雄^{*,***}, 小嶋 一三^{*,****}, 高橋 健司^{*,*****}

3D Chip Stacking Utilizing 20 μm -Pitch Micro Cu Bump Interconnection

Kazumasa TANIDA^{*,**}, Mitsuo UMEMOTO^{*,***}, Kazumi KOJIMA^{*,****} and Kenji TAKAHASHI^{*,*****}

* 技術研究組合超先端電子技術開発機構 (ASET) 電子SI技術研究部筑波研究センタ (〒305-0047 茨城県つくば市千現2-1-6)

** 現・株式会社サイキューブ仙台開発センター (〒980-0845 宮城県仙台市青葉区荒巻字青葉519-1176 半導体研究所3号館内)

*** 現・関東三洋セミコンダクターズ株式会社 (〒370-0596 群馬県邑楽郡大泉町坂田1-1-1)

**** 現・日本電気株式会社 (〒229-1198 神奈川県相模原市下九沢1120)

***** 現・株式会社東芝 (〒212-8583 神奈川県川崎市幸区小向東芝町1)

* Tsukuba Research Center, Electronic System Integration Technology Research Department, Association of Super-Advanced Electronics Technologies (ASET) (C-B-5, TCL, 2-1-6 Sengen, Tsukuba-shi, Ibaraki 305-0047)

** Presently at Sendai Lab., Zy Cube Co., Ltd. (Semiconductor Research Institute Bldg.#3, 519-1176 Aza-Aoba, Aramaki, Aoba-ku, Sendai-shi, Miyagi 980-0845)

*** Presently at Kanto SANYO Semiconductors Co., Ltd. (1-1-1 Sakata, Oizumi-machi, Ora-gun, Gunma 370-0596)

**** Presently at NEC Corporation (1120 Shimokuzawa, Sagami-hara-shi, Kanagawa 229-1198)

***** Presently at Semiconductor Company, TOSHIBA CORPORATION (1 Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi, Kanagawa 212-8583)

概要 ASETでは1999年から始まった「超高密度電子SI技術の研究開発機構」プロジェクトにて、高密度・高速化に適したSiP (System-in-a-Package) としてSi内部に20 μm ピッチ微細Cu貫通電極を形成したチップを積層する3次元チップ積層構造の開発を行ってきた。その中でチップ積層プロセスは重要な技術であり、工業的な積層プロセスとしてチップ裏面にバンプを形成せずに、Cu-Sn拡散によりCu貫通電極同士を接続する微細Cuバンプ接合の検討を行い、3次元チップ積層構造における貫通電極回路の接続信頼性と電気特性を評価した。20 μm ピッチという微細な領域においてもCu-Sn拡散は制御可能であることがわかり、接合界面をすべて金属間化合物であるCu₃Snとすることで良好な接合強度が得られることがわかった。その結果、4チップ積層構造にて、TCT (Temperature Cycling Test) 1500サイクル以上の接続信頼性を確認した。また、Cu貫通電極構造を含むデジタイゼーション回路およびリングオシレータ帰還回路を用いて、直流抵抗および信号遅延時間を測定した結果、Cuバンプ接合部を含む貫通電極回路1層当たりの抵抗上昇は15.4 m Ω 、信号遅延時間は0.9 psであり、GHzレベルのチップ間高速信号回路として十分対応できることを明らかにした。

Abstract

A three-dimensional (3D) chip stacking LSI under development at ASET uses new SiP (System-in-a-Package) packaging technologies to realize high-density and high-speed transmission. Superfine flip-chip bonding microbumps on Cu through-via (TV) in 20- μm -pitch is another important technology to realize vertical interconnection. For an advanced and commercial chip stacking process, Cu bump bonding (CBB) utilizing Cu-Sn diffusion for simple connection of Cu TVs without the formation of bumps on the chip back surface was examined. We clarify the Cu-Sn diffusion phenomena on minute interconnections, and in terms of structural strength, the interconnection composed of a single Cu₃Sn layer was most desirable. A temperature cycling test (TCT) was performed on the 3D chip stacking structure, and over 1500 cycles of reliability was confirmed. We conducted two important electrical evaluations. One was the DC resistance of the vertical interconnection, which was measured at only 15.4 m Ω per layer. The other was the signal transmission delay, which was confirmed at only 0.9 ps. Therefore, the vertical interconnection formed by CBB demonstrates the excellent high performance interconnection capabilities of a 3D chip stacking package.

Key Words: System-in-a-Package (SiP), Three-Dimensional (3D) Chip Stacking LSI, Interconnection, Chip-on-Chip (COC), Cu Through-Via (TV), Cu Bump Bonding (CBB), Cu-Sn, Inter Metallic Compound (IMC)