

ウエハプロセスパッケージ搭載マルチチップモジュール 高信頼化のための構造最適化

中 康弘*, 田中 直敬*, 内藤 孝洋**

Structural Optimization of Multi-Chip Module Composed of Wafer Process Packages to Improve Reliability

Yasuhiro NAKA*, Naotaka TANAKA* and Takahiro NAITO**

*株式会社日立製作所機械研究所 (〒300-0013 茨城県土浦市神立町502)

**株式会社ルネサステクノロジ生産技術本部 (〒187-8588 東京都小平市上水本町5-20-1)

•Mechanical Engineering Research Laboratory, Hitachi, Ltd. (502 Kandatsu-machi, Tsuchiura-shi, Ibaraki 300-0013)

**LSI Manufacturing Technology Unit, Renesas Technology Corp. (5-20-1 Jyosuihoncho, Kodaira-shi, Tokyo 187-8588)

概要 同一FR-4基板上に2個のウエハプロセスパッケージ(WPP)を搭載したマルチチップモジュール(MCM)の高信頼化のため、有限要素解析による構造最適化を行った。その結果、その信頼性上の最重要課題である、チップ割れや、MCMとマザーボード間のはんだ接続部断線を引き起こす熱応力は、ともにチップ厚さ(t_c)と基板厚さ(t_s)の比、 t_c/t_s と t_s の関数で、 t_c/t_s を低減することによって、チップ割れ防止と、はんだ接続部寿命向上が同時に達成可能であることを明らかにした。さらに、 t_c/t_s 低減によって応力を低減したMCMを作製して温度サイクル試験を実施し、その高信頼性を実証した。

Abstract

To improve the reliability of a multi-chip module (MCM) composed of two wafer process packages (WPPs) on a FR-4 base substrate, the structure of the MCM was optimized by finite element analysis (FEA). The important reliability issue is chip cracking or solder-joint failure between the MCM and a motherboard caused by thermal stress. The FEA results showed that the thermal stresses in both the chips and the solder bumps are a function of the ratio of chip thickness (t_c) and substrate thickness (t_s), i.e., t_c/t_s , and t_s . And then, it was concluded that the chip cracking can be prevented, and also the life of solder joints can be increased when t_c/t_s is decreased. Furthermore, it was confirmed that a MCM with low ratio of t_c/t_s is highly reliable under thermal-cycling test.

Key Words: Multi-Chip Module, Chip, Ball Grid Array, Solder Bump, Under-Fill, Finite Element Analysis, Crack