

CMOS 論理 IC の交流電界印加時の電源電流測定による ピン浮き検出法

一宮 正博*, 橋爪 正樹*, 四柳 浩之*, 為貞 建臣*

Pin Open Detection for CMOS Logic ICs by Measuring Supply Current under AC Electric Field

Masahiro ICHIMIYA*, Masaki HASHIZUME*, Hiroyuki YOTSUYANAGI* and Takeomi TAMESADA*

*徳島大学工学部電気電子工学科 (〒770-8506 徳島県徳島市南常三島町2-1)

*Department of Electrical and Electronic Engineering, Faculty of Engineering, The University of Tokushima (2-1 Minamijosanjima-cho, Tokushima-shi, Tokushima 770-8506)

概要 本論文では、プリント配線板上に実装されたCMOS論理回路の、はんだ付け不良などにより発生するピン浮きを検出するための新しい検査法を提案する。本検査法では被検査回路の外部から交流電界を印加し、ICの電源電流を測定する。ピン浮きがない場合は、外部から交流電界を印加しても定常時にはそのICに静的電源電流しか流れない。しかしピン浮きがあると、そのICの電源電流に大きな変化が現れる。本論文ではこの性質を用いてピン浮きを検出可能であることを実験により示す。またこの検査法で必要となる検査入力パターンについても明らかにする。

Abstract

A new test method is proposed in this paper for detecting pin opens in CMOS logic circuits fabricated on printed circuit boards, which are caused by missing solder and so on. In our test method, supply current of an IC is measured with AC electric field applied outside of CMOS ICs. When any pin opens do not occur in the IC, only quiescent supply current will flow. If a pin open occurs, large supply current change will be generated. The proposed test method uses this property for detecting pin opens. In this paper, the feasibility of the test method is evaluated by some experiments. Also, the test input vectors are proposed for this test method.

Key Words: *Current Testing, Pin Open, CMOS Logic Circuit, Electric Field*