

## バウンダリスキャンテスト機構を用いたはんだ 接合部の電気検査法とその組込型検査回路

橋爪 正樹\*, 伊喜利 勇貴\*, 小西 朝陽\*, 四柳 浩之\*, 呂 學坤\*\*

**Electrical Interconnect Test of Solder Joint Part with Boundary Scan Flip Flops and a Built-in Test Circuit**

Masaki HASHIZUME\*, Yuki IKIRI\*, Tomoaki KONISHI\*, Hiroyuki YOTSUYANAGI\*, and Shyue-Kung LU\*\*

---

\* 徳島大学大学院理工学研究部 (〒 770-8506 徳島市南常三島町 2-1)

\*\* 国立台湾科技大学 (〒 106 Taipei, Taiwan (R.O.C.))

\* Tokushima University (2-1 Minamijyosanajima-cho, Tokushima 770-8506)

\*\* National Taiwan University of Science and Technology (Taipei, Taiwan (R.O.C.) 106)