

# 半導体プロセスを応用した高信頼性微細配線技術の開発

神吉 剛司\*, 池田 淳也\*, 中田 義弘\*, 谷 元昭\*, 中村 友二\*

## Development of Highly Reliable Cu Wiring Technology for 2.1/2.5D-IC by Applying Semiconductor Manufacturing Process

Tsuyoshi KANKI\*, Junya IKEDA\*, Yoshihiro NAKATA\*, Motoaki TANI\*, and Tomoji NAKAMURA\*

\* 株式会社富士通研究所 (〒 243-0197 神奈川県厚木市森の里若宮 10-1)

\* FUJITSU LABORATORIES LTD. (10-1 Morinosato-Wakamiya, Atsugi, Kanagawa 243-0197)

**概要** 2.1D/2.5D 実装向けのチップ間を接続する微細配線について、高信頼性を目的としたわれわれの開発技術を紹介する。われわれは今までに、有機絶縁膜上にセミアディティブ法を用いて  $L/S = 1/1 \mu\text{m}$  までの微細な Cu 配線を形成し、その高信頼性について検証してきた。今回、半導体プロセスを応用し、高温高湿下においても Cu の腐食や拡散を防止し高信頼性を実現できるメタルキャップバリア配線構造を見出すことで、 $L/S = 1/1 \mu\text{m}$  配線の信頼性要求を満たす事に成功した。このキャップバリアは自身が酸化することで不動態膜を形成し、Cu 配線の腐食を防止するメカニズムであり、CoWP を用いる事で、より高い信頼性を実現することが可能である。

### Abstract

In this paper, we describe technologies to produce fine-pitch Cu wiring that provides high reliability and connects between chips for 2.1D/2.5D packaging. We have developed a semi-additive process to fabricate  $L/S = 1/1 \mu\text{m}$  wiring on an organic dielectric layer. The wiring uses Metal Cap barrier applied to LSI technology in order to suppress Cu diffusion and corrosion. This cap barrier oxidizes to form a passivation layer which prevents corrosion of the Cu wiring. The reliability of this wiring has been verified under HAST (Highly Accelerated temperature and humidity Stress Test) conditions, with a CoWP barrier in particular realizing higher reliability.

**Key Words:** 2.1D/2.5D-IC, Chip-to-Chip Wiring, Organic Insulation Layer, High Reliability, Metal-Cap Barrier