

高速 CMOS 回路の給電網設計適正化手法

須藤 俊夫 *

Optimal Design of Power Distribution Network for High-Speed CMOS Circuits

Toshio SUDO*

* 元芝浦工業大学 (〒 135-8548 東京都江東区豊洲 3-7-5)

* Formerly Shibaura Institute of Technology (3-7-5 Toyosu, Koto-ku, Tokyo 135-8548)