

Latest Technology Trends on 2.1D, 2.5D IC Integration

Henry H. UTSUNOMIYA*

2.1D, 2.5D IC 集積の最新技術動向

宇都宮 久修*

* Interconnection Technologies, Inc. (6-1 Minamimachi, Suwa City, Nagano 392-0014)

* インターコネクション・テクノロジーズ株式会社 (〒 392-0014 長野県諏訪市南町 6-1)

概要 マイクロエレクトロニクス業界では「ムーアの法則」が継続して開発されておりプロセスノードは 20 nm から 16 nm あるいは 14 nm に進展しつつある。他方、エレクトロニクスシステムは高メモリバンド幅と低レイテンシでの高速信号処理と高速信号伝送のために半導体チップの近接配置の集積技術が研究開発されている。加えて、システムインパッケージ (SiP: System in Package) では高メモリバンド幅と配線長の短縮をシステムオンチップ (SoC: System on Chip) 解決策よりも低コストで、かつ速いタイムトゥーマーケットで実現することが要求されている。この解決策として、4 種類のパッケージ構造が検討されており、従来からの 2 次元集積のさらなる超高密度配線化 (2D IC 集積)、薄膜法と従来の有機樹脂パッケージをラミネートなどで一体形成した 2.1 次元集積 (2.1D IC 集積)、超高密度配線を持つインターポーザと従来の有機樹脂パッケージを積層した 2.5 次元集積 (2.5D IC 集積)、および半導体デバイス同士を積層し、シリコン貫通ビア (TSV) で接続した 3 次元集積 (3D IC 集積) が開発されている。これらはパッケージ構造に関係なく、信号処理を行うプロセッサと外部の L3 キャッシュメモリ間のバス幅拡大によるデータレートの増加に対応するため、従来の半導体パッケージよりも高密度な相互接続が求められている。これらの要求は、2007 年以降急速に成長したスマートフォンに代表されるモバイル電子機器のみならず、モバイルデータトラフィックの処理を行うサーバーなどの高性能コンピューティング機器の両方が牽引している。

2D IC 集積では、従来からの有機樹脂サブストレートの回路微細化が製造限界に近づき、高メモリバンド幅を提供するために 2016 年以降に登場する Wide I/O メモリや HBM (High Bandwidth Memory) の接続端子ピッチの 40 μm に対応できなくなったため、薄膜法の有機樹脂やガラス、およびシリコンを用いたインターポーザで接続スケーリングを実現するアプローチが国内外で研究開発されている。本稿では最新の 2.1D および 2.5D IC 集積技術の開発の背景と開発動向、各アプローチの利点と欠点を明確にし、市場への適応のための解決策課題を紹介する。