

高速デジタル回路におけるチップ部品パッド直下の グラウンドクリアランスサイズの簡易計算式の提案

奈良 茂夫*

A Proposal of Simple Calculations for the Ground Clearance Size beneath the SMT Chip Pad on the High-Speed Digital Circuits

Shigeo NARA*

*富士ゼロックス株式会社研究技術開発本部システム技術研究所（〒220-8668 神奈川県横浜市西区みなとみらい6-1）

*System Technology Laboratory, Research & Technology Group, Fuji Xerox Co., Ltd. (6-1 Minatomirai, Nishi-ku, Yokohama-shi, Kanagawa 220-8668)

概要 近年の高速シリアル伝送に使われるデバイスは5Gbpsを超えるものがあり、高速回路のプリント配線板 (PCB) 設計に関する新しい技術がいくつか紹介されている。しかしながら、実際に採用するにはその効果と詳細なメカニズムを把握する必要がある。ここではチップ部品の実装用パッド直下のグラウンド面の銅箔を削除するという技術に着目して、その効果と詳細なメカニズムを検証し、プリント配線板の層構成や材質に対応した設計方法を提案した。検証には、モーメント法電磁界解析シミュレータ (Sonnet EM) を用いてSパラメータ、電流分布、放射特性を解析した。また、テスト基板のSパラメータを測定し効果を確認した。

Abstract

In recent years, PCI Express and USB have become established as high-speed serial transmission methods, reaching speeds of 5–10 Gbps and showing remarkable progress. As a result, several new design techniques for high-speed digital circuits have been recommended for printed circuit boards (PCB) by device makers. However, in order to adopt the actual designs, it is necessary to grasp their effects and detailed mechanisms. We focused on a technology which removes the copper on the ground plane beneath the chip component pad, and verified the effect. Design methods corresponding to the layer constitution and the material of the printed circuit board are proposed. The S-parameter, current distribution, and emission characteristics are analyzed by means of an electromagnetic field analysis simulator (Sonnet EM) of the method-of-moment. In addition, the S-parameter of the test board was measured and the effect was verified.

Key Words: *High-Speed Serial Interface, S-Parameter, Current Distribution, Electric-Field-Characteristic, Electromagnetic Field Analysis*