

高信頼性 CoC パッケージ技術

栗田 洋一郎*, 森下 佳昭**, 山田 俊之***, 木村 雄大***

CoC Packaging Technology for High Reliability Applications

Yoichiro KURITA*, Yoshiaki MORISHITA**, Toshiyuki YAMADA*** and Takehiro KIMURA***

*NEC エレクトロニクス株式会社生産本部実装技術部 (〒229-1198 神奈川県相模原市下九沢 1120)

**NEC エレクトロニクス株式会社第二 SoC 事業本部 SoC システム事業部 (〒211-8658 神奈川県川崎市中原区下沼部 1753)

***NEC エレクトロニクス株式会社マイクロコンピュータ事業本部第二マイコン事業部 (〒211-8658 神奈川県川崎市中原区下沼部 1753)

*Packaging Engineering Division, Manufacturing Operations Unit, NEC Electronics Corporation (1120 Shimokusawa, Sagami-hara-shi, Kanagawa 229-1198)

**SoC Systems Division, 2nd SoC Operations Unit, NEC Electronics Corporation (1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8658)

***2nd Microcomputer Division, Microcomputer Operations Unit, NEC Electronics Corporation (1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8658)

概要 車載など高い信頼性の要求される用途に向け、CoC (Chip-on-Chip) パッケージ技術を開発した。CoC 接合プロセスとしては、Au スタッドバンプと電解 Au めっきバンプを組み合わせた Au-Au 熱圧着法を適用した。EBSP 法による結晶粒観察などから接合メカニズムの推測を行ったうえで、これらの接合系において Ar プラズマ処理が接合性に与える影響について、AFM、ESCA 法を用いた分析により明らかにした。また、接合プロセスが接合部直下のオンチップ多層配線やトランジスタの機械的・電気的特性に与える影響について、テストチップを用いた評価で明らかにした。最後に、マイクロコンピュータチップ上にメモリチップを接続した CoC 構造パッケージを試作、信頼性試験を行い、良好な結果を得た。

Abstract

We have developed a CoC (Chip-on-Chip) packaging technology for high-reliability applications. Gold-to-Gold interconnects with Au stud bumps and plated Au bumps were used for the new technology. EBSP (Electron Backscatter Diffraction Patterns) were observed to estimate the Au-Au bond formation mechanism, and the plasma treatment effect on the Au bump surface was clarified using AFM (Atomic Force Microscopy) and ESCA (Electron Spectroscopy for Chemical Analysis). Furthermore, we have investigated the mechanical damage and the influences on device characteristics of CoC interconnection processes using test chips with under-pad multi-layer wiring and transistors. Finally, we fabricated CoC structure packages including a single chip microcomputer and a memory chip, and successfully confirmed their excellent reliability.

Key Words: *Chip-on-Chip, 3-D LSI, Bump, Interconnection, Electrical Characteristics, Reliability*