

## 20 $\mu\text{m}$ ピッチ微細 Au バンプ接合に関する基礎検討

谷田 一真<sup>\*,\*\*</sup>, 秋山 雪治<sup>\*,\*\*\*</sup>, 山地 泰弘<sup>\*,\*\*\*\*</sup>, 高橋 浩之<sup>\*,\*\*</sup>, 川上 崇<sup>\*,\*\*</sup>, 高橋 健司<sup>\*,\*\*</sup>

### Basic Research of 20 $\mu\text{m}$ -Pitch Micro Au Bump Interconnection

Kazumasa TANIDA<sup>\*,\*\*</sup>, Yukiharu AKIYAMA<sup>\*,\*\*\*</sup>, Yasuhiro YAMAJI<sup>\*,\*\*\*\*</sup>, Hiroyuki TAKAHASHI<sup>\*,\*\*</sup>,  
Takashi KAWAKAMI<sup>\*,\*\*</sup> and Kenji TAKAHASHI<sup>\*,\*\*</sup>

- \* 技術研究組合超先端電子技術開発機構(ASET)電子SI技術研究部筑波研究センター (〒305-0047 茨城県つくば市千現2-1-6)  
\*\* 株式会社東芝 (〒212-8583 神奈川県川崎市幸区小向東芝町1)  
\*\*\* 株式会社ルネサステクノロジ (〒187-8588 東京都小平市上水本町5-20-1)  
\*\*\*\* 独立行政法人産業技術総合研究所 (〒305-8568 茨城県つくば市梅園1-1-1 中央第2)  
\* Association of Super-Advanced Electronics Technologies (ASET) Electronic System Integration Technology Research Department, Tsukuba Research Center (C-B-5, TCI, 2-1-6 Sengen, Tsukuba-shi, Ibaraki 305-0047)  
\*\* TOSHIBA CORPORATION Semiconductor Company (1 Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi, Kanagawa 212-8583)  
\*\*\* Renesas Technology Corp. (5-20-1 Josuihon-cho, Kodaira-shi, Tokyo 187-8588)  
\*\*\*\* National Institute of Advanced Industrial Science and Technology (AIST) (Tsukuba Central 2, 1-1-1 Umezono, Tsukuba-shi, Ibaraki 305-8568)

**概要** ASETでは1999年から始まった「超高密度電子SI技術の研究開発機構」プロジェクトにて、高密度・高速化に適したSiP (system-in-a-package)としてSi内部に20  $\mu\text{m}$  ピッチ微細Cu貫通電極を形成したチップを積層する3次元チップ積層構造の開発を行ってきた。その中でチップ積層プロセスは重要な技術であり、Auバンプを介して低温・短時間でチップ間を接続する超音波接合方式が期待されている。本研究では、基礎検討として熱圧着接合を用いた20  $\mu\text{m}$  ピッチ微細Auバンプ接合の検討を行い、Au/COC (chip-on-chip)モデルにおける接続信頼性を評価した。熱圧着接合によるAuバンプ接合部は、初期接触界面が接合時の再結晶現象により一部消失した強固な接合が得られることを確認した。TCT (Temperature Cycling Test)試験の結果、水平方向の熱膨張差がほとんどないSi on Si構造においても、微細化に伴いチップ間の封止樹脂と金属接合部の高さ方向の熱膨張差による応力負荷が無視できないことがわかった。また、Auの弾性率の結晶方位依存性、応力-非弾性歪み関係および疲労強度特性を明らかにしたうえで、Auバンプの材料不均質性を仮定したFEM (Finite Element Method)解析を実施し、実際のTCT試験結果との対応が良好なAuバンプ接合部の疲労寿命予測ができることを示した。

### Abstract

The three-dimensional (3D) chip stacking LSI under development in ASET uses new SIP (system-in-a-package) packaging technologies to realize high-density and high-speed transmission. Superfine flip-chip bonding utilizing micro bumps on Cu through-chip via (TCV) with a 20- $\mu\text{m}$ -pitch is an important technology for realizing vertical interconnection, and ultrasonic flip-chip bonding (UFB), utilizing Au bumps to connect the Cu TCV, is expected to enable a low-temperature and high-throughput process. In a basic study of the 20- $\mu\text{m}$ -pitch Au bump interconnection, a thermo-compression bonding process was evaluated on a chip-on-chip (COC) structure. First, the mechanism of Au-Au thermo compression bonding with a recrystallization phenomenon across the bonding interface was confirmed. Second, it was confirmed that in the case of COC interconnections, the plastic strain range of the interconnections during temperature cycling tests (TCT) was mainly determined by the thermal mismatch in the thickness direction between the Au bump and the underfill resin. Finally, we developed a finite element method (FEM) analysis that corresponds well with the TCT results on the assumption that Au bump interconnection was composed of inhomogeneous crystal structure.

**Key Words:** System in Package (SIP), Three-Dimensional (3D) Chip Stacking LSI, Cu Through-Chip-Via (TCV), Ultrasonic Flip-Chip Bonding (UFB), Au Bump, Chip-on-Chip (COC), Temperature Cycling Test (TCT), Underfill Resin, Finite Element Method (FEM)